

**DESCRIPCIÓN DE LA ASIGNATURA**

Grado/Máster en:	Máster Universitario en SISTEMAS ELECTRÓNICOS PARA ENTORNOS INTELIGENTES por la Universidad de Málaga
Centro:	Escuela Técnica Superior de Ingeniería de Telecomunicación
Asignatura:	INTENSIFICACIÓN EN FPGA
Código:	114
Tipo:	Optativa
Materia:	SISTEMAS EMPOTRADOS
Módulo:	SISTEMAS ELECTRÓNICOS AVANZADOS
Experimentalidad:	
Idioma en el que se imparte:	Español
Curso:	1
Semestre:	2
Nº Créditos:	3
Nº Horas de dedicación del estudiante:	75
Tamaño del Grupo Grande:	
Tamaño del Grupo Reducido:	
Página web de la asignatura:	http://mop.cv.uma.es/ / Másteres Oficiales de Postgrado / Curso Académico / Master Universitario en SISTEMAS ELECTRÓNICOS PARA ENTORNOS INTELIGENTES UMA / INTENSIFICACION EN FPGA

EQUIPO DOCENTE

Departamento:	TECNOLOGÍA ELECTRÓNICA
Área:	TECNOLOGÍA ELECTRÓNICA

Nombre y Apellidos	Mail	Teléfono Laboral	Despacho	Horario Tutorías
Coordinador/a: JUAN ANTONIO RODRIGUEZ FERNANDEZ	jarodriguez@uma.es	952137153	1.2.33 - E.T.S. Ing. Telecomunicación	Primer cuatrimestre: Martes 08:30 - 10:30, Miércoles 10:30 - 12:30, Martes 12:30 - 14:30 Segundo cuatrimestre: Lunes 12:30 - 14:30, Jueves 12:30 - 14:30, Martes 10:30 - 12:30

RECOMENDACIONES Y ORIENTACIONES

Se recomienda haber cursado y superado todas las asignaturas obligatorias en particular la asignatura de Diseño de sistemas empotrados basados en FPGAs.
Esta asignatura, eminentemente práctica, se desarrolla en el laboratorio del máster, por lo que se exige la asistencia de los estudiantes. Dada su modalidad presencial, permite al estudiante disponer de un puesto de laboratorio, acceder a equipos de instrumentación y kits de desarrollo avanzados, y tener un trato directo con el profesorado. También dispone de un espacio en el Campus virtual donde se encuentran diversos recursos de apoyo: Guías y material docente, actividades de entrega de tareas, actividades de comunicación entre profesorado y alumnado (foros, chats, seminarios virtuales, etc.) y actividades de prueba de conocimientos.

CONTEXTO

Marco: Forma parte del grupo de asignaturas optativas presenciales que se cursan en el segundo semestre y cuyo objetivo es profundizar en algunas de las materias estudiadas en las asignaturas obligatorias.
Temática: Aborda aspectos prácticos y de laboratorio del diseño con sistemas avanzados basados en FPGAs.
Enfoque: Tiene un enfoque muy práctico, cubriendo niveles de análisis, diseño y evaluación.
Relación con otras asignaturas: Esta asignatura pertenece al módulo de Sistemas Electrónicos Avanzados y está relacionada con la asignatura obligatoria de Diseño de sistemas empotrados basados en FPGAs.
Competencias: Cubre las competencias transversales descritas en el plan de estudios del máster y las específicas relacionadas con FPGAs y sistemas empotrados.

COMPETENCIAS**1 Competencias generales y básicas.****Competencias básicas**

- 1.6** C. General Básica 01 (BA-01) Presentar y defender sus propuestas de diseño de forma clara, tanto por escrito como oralmente

Competencias generales

- 1.3** C. General 03 (GE-03) Seleccionar entre las distintas posibilidades de implementación de los distintos módulos de un sistema electrónico.
1.4 C. General 04 (GE-04) Analizar y resolver el diseño e implementación de un sistema novedoso usando los conocimientos adquiridos.
1.5 C. General 05 (GE-05) Documentar correctamente el desarrollo de un sistema electrónico.

2 Competencias específicas. Exclisivas de Materias Optativas

- 2.1** Conocer los fundamentos de la síntesis de alto nivel y el flujo de diseño basado en lenguajes de alto nivel para FPGAs
2.2 Sintetizar en FPGAs aplicaciones de codiseño hardware-software en el marco del procesamiento digital de imágenes

3 Competencias específicas.



3.2 C. Específica 02 (SE-02)

Configurar FPGAs y conectarlas con otros elementos de un sistema empotrado.

CONTENIDOS DE LA ASIGNATURA

Arquitectura general de dispositivos FPGA de última generación y plataformas tipo System on Chip (SoC) basadas en FPGA

Unidades de procesamiento HARD-core y SOFT-core, periféricos y lógica programable.

Diseño y caracterización de cores IP a medida integrables en plataformas SoC-FPGA

Descripción general de buses de sistema integrables en FPGA. Herramientas para creación e integración de cores IP.

Entorno de desarrollo basado en diseño software y hardware empotrados en la misma plataforma.

Reutilización de cores IP.

Introducción y conceptos básicos de la síntesis de alto nivel (HLS)

Flujo de diseño basado en lenguajes de alto nivel (HLL). Herramientas HLS.

Aplicación práctica al desarrollo de una plataforma hardware-software para procesamiento de imágenes.

Canal de procesado de vídeo completo incluyendo captura desde una cámara, procesado y visualización de resultados.

ACTIVIDADES FORMATIVAS

Actividades presenciales

Actividades expositivas

- Lección magistral Arquitecturas para codiseño HW/SW. La plataforma Zynq
- Otras actividades expositivas Integración de IP Cores. Resumen del trabajo personal, discusión y aclaración de dudas en clase.
- Otras actividades expositivas Creación de IP Cores. Resumen del trabajo personal, discusión y aclaración de dudas en clase.
- Otras actividades expositivas HLS. Resumen del trabajo personal, discusión y aclaración de dudas en clase.
- Otras actividades expositivas Canal de Vídeo. Resumen del trabajo personal, discusión y aclaración de dudas en clase.
- Otras actividades expositivas Verificación y depuración en Zynq

Actividades prácticas en instalaciones específicas

Prácticas en laboratorio Propuestas de mejora.

Actividades no presenciales

Actividades prácticas

- Otras actividades prácticas no presenciales Mejoras Canal de Vídeo
- Otras actividades prácticas no presenciales Instalación y puesta a punto de Vivado. Comprobación con un diseño ejemplo.
- Otras actividades prácticas no presenciales Tutorial Canal de Vídeo
- Otras actividades prácticas no presenciales Tutorial de verificación
- Otras actividades prácticas no presenciales Tutorial de creación de IPs
- Otras actividades prácticas no presenciales Tutorial de integración de IPs
- Otras actividades prácticas no presenciales Tutorial HLS

Estudio personal

Estudio personal Estudio bibliográfico plataformas Hw/Sw. Arquitectura Zynq

ACTIVIDADES DE EVALUACIÓN

Actividades de evaluación no presenciales

Actividades de evaluación del estudiante

Otras actividades no presenciales eval.estudiante

Actividades de evaluación presenciales

Actividades de evaluación del estudiante

- Examen final: Realización de prueba escrita u oral, o entrevista personal
- Realización de trabajos y/o proyectos: Comprobación de que el alumnado está realizando las tareas encomendadas al ritmo adecuado

RESULTADOS DE APRENDIZAJE / CRITERIOS DE EVALUACIÓN

Los resultados de aprendizaje son la capacidad del alumnado para:

- Definir el flujo de diseño cuando software y hardware se empotran en la misma plataforma
- Integrar cores IP con el sistema procesador
- Desarrollar cores IP con hardware reconfigurable
- Verificar el funcionamiento de aplicaciones sobre plataforma basada en SoC-FPGA
- Identificar las bases de funcionamiento de las herramientas de síntesis de alto nivel (HLS)
- Desarrollar aplicaciones de procesamiento de video en plataformas hardware-software

Dichos resultados se evaluarán mediante la realización de los tutoriales y la supervisión del profesorado en las actividades programadas, así como



las entrevistas previstas.

PROCEDIMIENTO DE EVALUACIÓN

El proceso de evaluación constará de una evaluación continuada y una prueba de validación o de síntesis.

La evaluación continuada:

- Se realizará de forma presencial a través de un seguimiento continuo de la realización de los trabajos y tareas propuestas en el Laboratorio, y, cuando proceda, también de forma no-presencial mediante la resolución de cuestionarios on-line situados en el Campus Virtual.
- La evaluación en la primera convocatoria ordinaria se llevará a cabo durante las semanas del curso académico establecidas según la planificación temporal del Máster. Una vez terminado este plazo, no será posible superar esta convocatoria
- La evaluación en segunda ordinaria se llevará a cabo en los meses de Septiembre y Octubre, habilitándose de nuevo las entregas hasta la fecha fijada por el Centro para la evaluación de la asignatura. Una vez terminado este plazo, no se permite entregar cuestionarios o trabajos para ser evaluados.
- La evaluación continuada supondrá el 80% de la nota final, e incluirá la participación activa y la valoración de los proyectos entregados. La nota adquirida en la primera ordinaria podrá ser usada, si el estudiante así lo solicita, para la evaluación en segunda ordinaria.

La prueba de validación o de síntesis:

- Será presencial.
- Se evaluará en ambas convocatorias con una entrevista personal en las fechas establecidas por el Centro.
- La prueba de validación o de síntesis supondrá el 20% de la nota final.

Los alumnos a tiempo parcial tendrán la misma consideración que el resto. Por su parte, las convocatorias extraordinarias no posibilitan la realización de una evaluación continua por lo que ésta se sustituirá por la evaluación oral de un trabajo especial. Los resultados obtenidos por estudiante se calificarán de 0 a 10, usando la siguiente escala numérica, con expresión de un decimal: 0-4,9 (Suspense), 5,0-6,9 (Aprobado), 7,0-8,9 (Notable), 9,0-10 (Sobresaliente). La mención de Matrícula de Honor se otorgará a aquellos estudiantes que hayan obtenido una calificación igual o superior a 9,0, teniendo en cuenta que el número de matrículas no podrá superar el 5% de los estudiantes.

BIBLIOGRAFÍA Y OTROS RECURSOS**Básica**

- A SystemC Primer, Second Edition; J Bhasker; 978-0984629206; Star Galaxy Publishing; 2004
- Embedded Systems Design with Platform FPGAs; Ron Sass and Andrew G. Schmidt; 978-0-12-374333-6; Elsevier; 2010
- ESL Design and Verification; Brian Bailey, Grant Martin and Andrew Piziali; 978-0123735515; Elsevier Inc.; 2007
- The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable Soc; Xilinx Inc.; Strathclyde Academic Media; 2014
- ZYBO Reference Manual; Digilent Inc; Digilent Inc; 2014

DISTRIBUCIÓN DEL TRABAJO DEL ESTUDIANTE**ACTIVIDAD FORMATIVA PRESENCIAL**

Descripción	Horas	Grupo grande	Grupos reducidos
Prácticas en laboratorio Propuestas de mejora.	6	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Otras actividades expositivas Integración de IP Cores. Resumen del trabajo personal, discusión y aclaración de dudas en clase.	3	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Lección magistral Arquitecturas para codiseño HW/SW. La plataforma Zynq	3	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Otras actividades expositivas Creación de IP Cores. Resumen del trabajo personal, discusión y aclaración de dudas en clase.	3	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Otras actividades expositivas HLS. Resumen del trabajo personal, discusión y aclaración de dudas en clase.	3	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Otras actividades expositivas Canal de Vídeo. Resumen del trabajo personal, discusión y aclaración de dudas en clase.	3	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Otras actividades expositivas Verificación y depuración en Zynq	1.5	<input checked="" type="checkbox"/>	<input type="checkbox"/>
TOTAL HORAS ACTIVIDAD FORMATIVA PRESENCIAL	22.5		

ACTIVIDAD FORMATIVA NO PRESENCIAL

Descripción	Horas
Otras actividades prácticas no presenciales Instalación y puesta a punto de Vivado. Comprobación con un diseño ejemplo.	3
Estudio personal Estudio bibliográfico plataformas Hw/Sw. Arquitectura Zynq	6
Otras actividades prácticas no presenciales Tutorial Canal de Vídeo	3
Otras actividades prácticas no presenciales Tutorial de verificación	3
Otras actividades prácticas no presenciales Tutorial de creación de IPs	3



Descripción	Horas
Otras actividades prácticas no presenciales Tutorial de integración de IPs	6
Otras actividades prácticas no presenciales Tutorial HLS	3
Otras actividades prácticas no presenciales Mejoras Canal de Vídeo	18
TOTAL HORAS ACTIVIDAD FORMATIVA NO PRESENCIAL	45
TOTAL HORAS ACTIVIDAD EVALUACIÓN	7.5
TOTAL HORAS DE TRABAJO DEL ESTUDIANTE	75

ADAPTACIÓN A MODO VIRTUAL POR COVID19

ACTIVIDADES FORMATIVAS

Plan escenario A: MODALIDAD SEMIPRESENCIAL O HIBRIDA

Para las clases de teoría se compagina docencia on-line con presencial en la medida en que la organización académica y los aforos de los recintos lo permitan. Con carácter general, se respetan las horas presenciales establecidas, si bien, atendiendo a las posibles restricciones de aforo, la presencialidad del estudiante puede ser física (en el aula), o virtual (por conexiones telemáticas sincrónicas).

Las clases de prácticas en laboratorios se realizan presencialmente. Las condiciones de aforo/horario/personal determinarán el tamaño de los grupos pequeños.

Plan escenario B: MODALIDAD SEMIPRESENCIAL RESTRINGIDA

Las clases de teoría se realizan todas en línea.

Las clases de prácticas igual que en el Plan escenario A.

PROCEDIMIENTOS DE EVALUACIÓN

Plan escenario A: MODALIDAD SEMIPRESENCIAL O HIBRIDA

Las actividades de evaluación serán presenciales.

Plan escenario B: MODALIDAD SEMIPRESENCIAL RESTRINGIDA

Las actividades de evaluación serán preferentemente presenciales siempre que se puedan mantener las medidas de seguridad. En el caso de no ser posible, las pruebas de evaluación se realizarán de forma online utilizando las herramientas disponibles en Campus Virtual. Los porcentajes de evaluación se mantienen inalterados con respecto a la modalidad presencial.

En caso de que se detecten indicios de fraude en las pruebas de evaluación, se podrán llevar a cabo pruebas adicionales de comprobación de la autoría como, por ejemplo, una entrevista personal.

CONTENIDOS

Plan escenario A y B:

Los contenidos de la asignatura no se ven modificados.

TUTORÍAS

Plan escenario A:

Se establece 1/3 de las tutorías virtuales y 2/3 presenciales si bien, se priorizarán las tutorías virtuales.

Plan escenario B:

El 100% de las tutorías serán virtuales.